การสร้างสัญญาณรบกวนแบบเกาส์สำหรับทดสอบประสิทธิภาพระบบสื่อสาร

An Additive White Gaussian Noise Generation for Communication Performance Measurement

ชัยวัฒน์ แก้วสาย* เกียรติศักดิ์ ศรีพิมานวัฒน์** อรรถสิทธิ์ หล่าสกุล***

*, *** ภาควิชาวิศวกรรมสารสนเทศ คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
**ห้องปฏิบัติการโทรคมนาคมและเครือข่ายคอมพิวเตอร์
ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (NECTEC)

*ได้รับทุนการศึกษาระดับปริญญาเอก จากสถาบันบัณฑิตวิทยาศาสตร์และเทคโนโลยีไทย (TGIST)
สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ (สวทช.) ปี 2546

NAC2005
NSTDA Annual Conference
S&T in Thailand : Towards the Molecular Economy

หัวข้อนำเสนอ

1. บทนำ
2. การสร้างสัญญาณรบกวนแบบเกาส์
3. โครงสร้างชุดกำเนิดสัญญาณรบกวนเกาส์
4. ผลการออกแบบและทดสอบ
5. สรุป

1. บทนำ

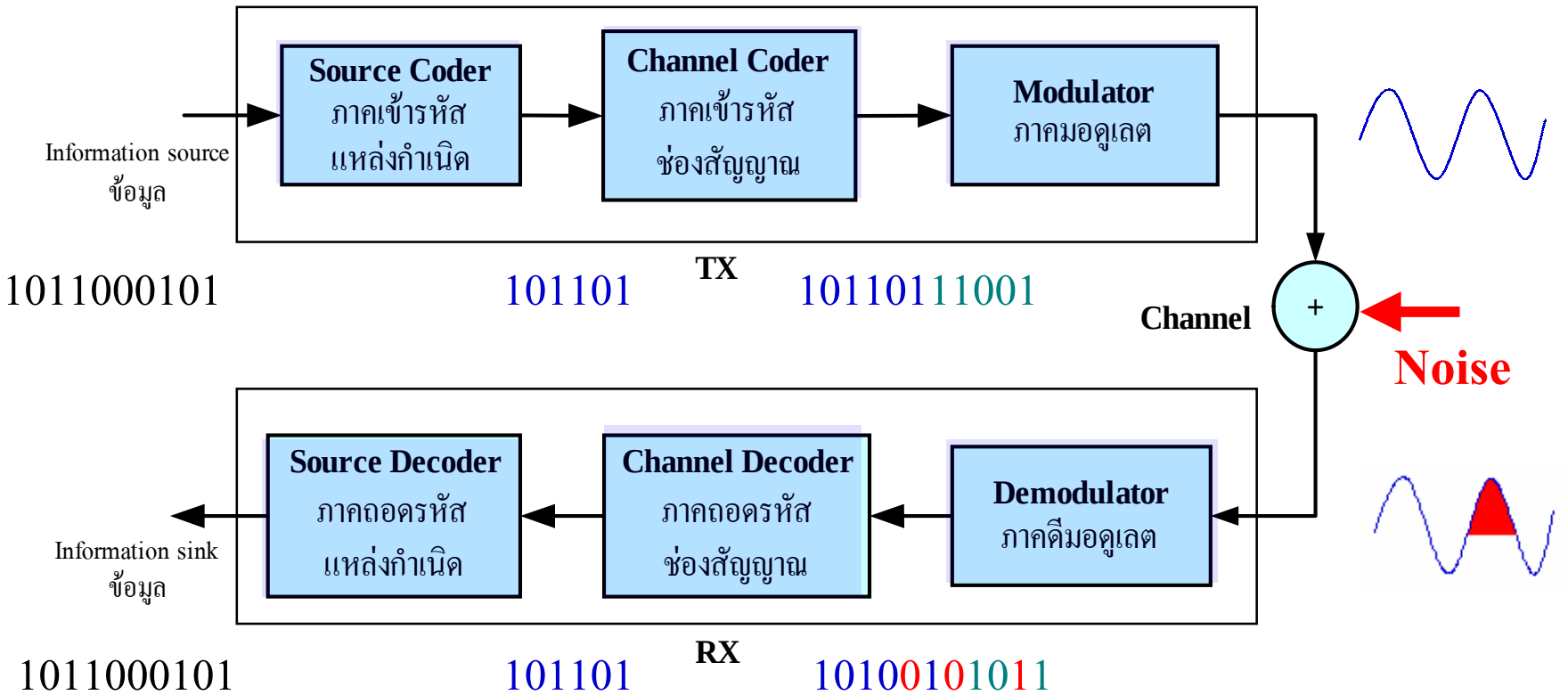
- ปัจจุบันระบบสื่อสารดิจิตอล อาทิ ระบบโทรศัพท์เคลื่อนที่ แลนไร้สาย มีการใช้งานจำนวนมาก ทำให้เกิดการผลิตหรือวิจัยพัฒนาอุปกรณ์สำหรับระบบเป็นจำนวนมาก
- อัตราค่าความผิดพลาดบิตแสดงถึงประสิทธิภาพระบบสื่อสาร
- สัญญาณรบกวนแบบเกาส์เป็นสัญญาณที่ใช้ทดสอบประสิทธิภาพระบบสื่อสารดิจิตอลโดยการวัดค่าความผิดพลาดบิตในช่องสัญญาณที่มีสัญญาณรบกวนขาวแบบเกาส์ (AWGN Channel) ซึ่งแสดงดัง

$$r(t) = s(t) + n(t)$$

วัตถุประสงค์

- สร้างชุดกำเนิดสัญญาณรบกวนแบบเกาส์สำหรับใช้ทดสอบประสิทธิภาพอุปกรณ์ระบบสื่อสารดิจิตอล
- ออกแบบสร้างชุดกำเนิดสัญญาณรบกวนแบบเกาส์ให้มีโครงสร้างขนาดเล็กและมีความเร็วสูง โดยเน้นการติดตั้งบน FPGA
- สามารถนำต้นแบบชุดกำเนิดสัญญาณรบกวนแบบเกาส์ไปประยุกต์ใช้งานในระบบอื่นๆ ที่เกี่ยวข้อง

1.3 พื้นฐานระบบสื่อสารดิจิตอล

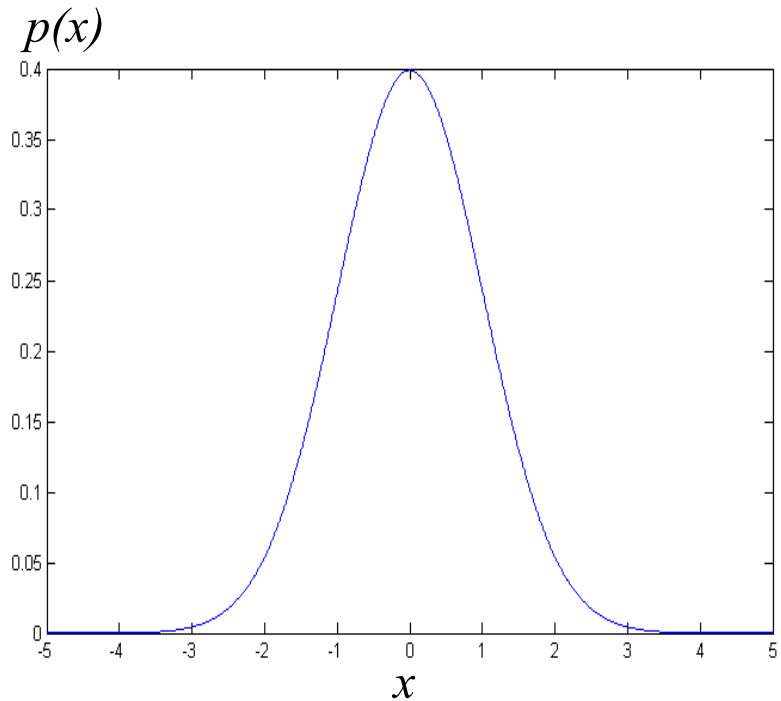


NAC2005
NSTDA Annual Conference
S&T in Thailand : Towards the Molecular Economy

2. การสร้างสัญญาณรบกวนแบบเกาส์

สัญญาณรบกวนแบบเกาส์สร้างจากการกระจายแบบเกาส์ ซึ่งมีฟังก์ชันความหนาแน่นของความน่าจะเป็น (Probability density function: PDF) ที่ค่าเฉลี่ย (mean) เป็นศูนย์ ดังสมการ

$$p(x) = \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{x^2}{2\sigma^2}}$$



วิธีการสร้างสัญญาณรบกวนแบบเกาส์เซียน

- วิธีเซ็นทรัลลิมิต (Central Limit)
- วิธีบ็อกมูลเลอร์ (Box-Muller)
- วิธีโพลาร์ (Polar)
- วิธีแบบผสม (Mixed Method)

วิธีเซ็นทรัลลิมิต (Central Limit)

วิธีนี้สร้างจากทฤษฎีเซ็นทรัลลิมิต (Central Limit Theorem) ซึ่งแสดงดัง

$$X_N = \frac{1}{\sigma_N \sqrt{N}} \sum_{i=0}^{N-1} (x_i - m_x)$$

โดย x_i คือตัวแปรสุ่มแบบยูนิฟอร์ม และ σ คือส่วนเบี่ยงเบนมาตรฐาน

ข้อเสียวิธีเซ็นทรัลลิมิต

- ใช้ผลรวม N ถ้าค่า N มีค่าน้อยจะให้ PDF ที่ราบเรียบ
- เป็นวิธีสร้างที่ง่าย แต่ทำงานช้า

วิธีบ็อกมูลเลอร์ (Box-Muller)

วิธีนี้สร้างจากตัวเลขสุ่มแบบยูนิฟอร์มสองตัว ซึ่งเป็นอิสระต่อกัน โดยมีค่าจาก [0, 1] สามารถคำนวณจาก

$$x = \sqrt{-2\sigma^2 \ln(u1)}\cos(2\pi u2)$$

$$y = \sqrt{-2\sigma^2 \ln(u1)}\sin(2\pi u2)$$

โดยที่ *u1* และ *u2* เป็นตัวเลขสุ่มแบบยูนิฟอร์ม

วิธีบ็อกมูลเลอร์ให้ความเที่ยงตรงสูงจึงเป็นที่นิยมใช้งานในการจำลองการทำงานของระบบสื่อสารโดยซอฟต์แวร์และฮาร์ดแวร์

วิธีโพลาร์ (Polar)

วิธีโพลาร์พัฒนามาจากวิธีบ็อกมูลเลอร์ สัญญาณรบกวนสร้างจากตัวเลขสุ่มแบบยูนิฟอร์มสองตัว ซึ่งเป็นอิสระต่อกัน โดยมีค่าจาก [-1, 1] ซึ่งสามารถคำนวณจาก

$$x = v1\sqrt{-2\sigma^2 \frac{\ln(S)}{S}}$$

$$y = v2\sqrt{-2\sigma^2 \frac{\ln(S)}{S}}$$

โดย *v1* และ *v2* เป็นตัวเลขสุ่มแบบยูนิฟอร์ม

- *S* เป็นค่าผลรวมของ $v1^2$ และ $v2^2$ ต้องมีค่าน้อยกว่าหนึ่ง
- วิธีโพลาร์มีความเร็วสูงกว่าบ็อกมูลเลอร์เพราะไม่มีการคำนวณฟังก์ชันตรีโกณมิติ

NAC2005
NSTDA Annual Conference
S&T in Thailand : Towards the Molecular Economy

วิธีแบบผสม (Mixed Method)

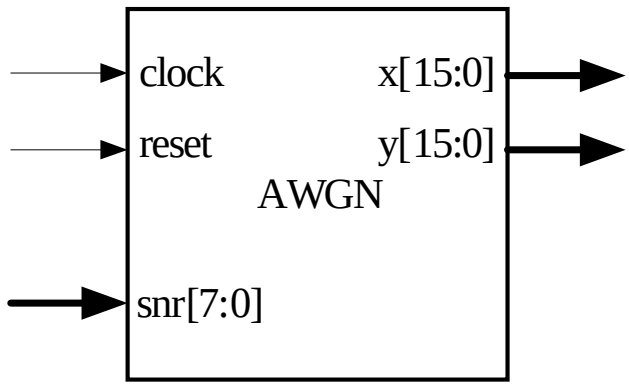
วิธีผสมเกิดจากการนำวิธีเซ็นทรัลลิมิตและวิธีบ็อกมูลเลอร์มารวมกัน ซึ่งแสดงดัง

$$X = \frac{BM_1 + BM_2 + ... + BM_N}{\sqrt{N}}$$

โดย BM คือ ค่าที่ได้จากวิธีบ็อกมูลเลอร์ และ N เป็นจำนวน BM ที่นำมาคำนวณ วิธีผสมออกแบบเพื่อแก้ไขความไม่เรียบของ PDF โดยเอาต์พุตจะมีอัตราเร็วต่ำเนื่องจากสร้างผลรวมของวิธีบ็อกมูลเลอร์

3. โครงสร้างชุดกำเนิดสัญญาณรบกวนที่นำเสนอ

คุณลักษณะของชุดกำเนิดสัญญาณรบกวน



- การสัญญาณรบกวนเป็นแบบเวคเตอร์ (X และ Y)
- ค่าการกระจายตัวของสัญญาณรบกวนสุงสุด $\pm 4.5\sigma$
- เอาท์พุตสัญญาณรบกวนเป็นแบบ 2's complement แบบคิดเครื่องหมายขนาด 16 บิต ซึ่งมีจำนวนเต็ม 4 บิตและทศนิยม 12 บิต
- สามารถปรับค่า Eb/No จาก 0.0 ถึง 15.9 dB โดยมีระยะ 0.1 dB
- ค่า relative error น้อยกว่า 1% ที่ $|x| < 4\sigma$
- มีโครงสร้างขนาดเล็กและมีความเร็วสูง

โครงสร้างชุดกำเนิดสัญญาณรบกวน

- ใช้วิธีบล็อกมูลเลอร์
- ใช้วิธีการประมาณค่าฟังก์ชั่นรากที่สองและล็อกการิทึมมแบบลิเนียร์โดยแบ่งออกเป็นสี่ส่วน

โครงสร้างแบ่งออก 4 โมดูล คือ

- โมดูลกำเนิดตัวเลขสุ่มแบบยูนิฟอร์ม (u1 และ U2)
- โมดูลประมาณค่าฟังก์ชัน *(f(u1) g1(u1) และ g2(u2))*

$$f(u1) = \sqrt{-\ln(u1)} \qquad g1(u2) = \cos(2\pi u2) \qquad g2(u2) = \sin(2\pi u2)$$

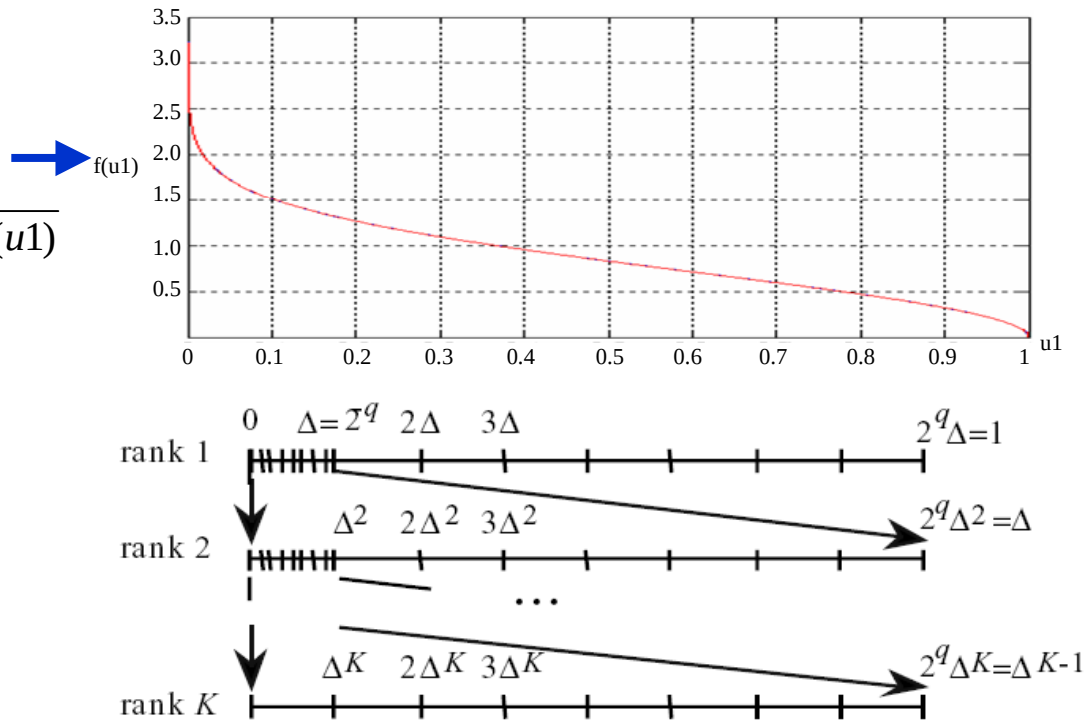
- โมดูลชุดวงจรคูณค่าฟังก์ชัน *(f(u1)* x *g1(u1) และ f(u1)* x *g2(u2))*
- โมดูลปรับเปลี่ยนค่า Eb/No (σ)

ส่วนกำเนิดตัวเลขสุ่มแบบยูนิฟอร์ม

- ประกอบด้วยชุดกำเนิดตัวเลขสุ่มแบบยูนิฟอร์มที่มีค่าจาก [0,1] สองชุด ซึ่งเป็นอิสระต่อกัน (*u1* แล ะ*u2*) ขนาด 15 และ 11 บิต
- ใช้ชุดกำเนิดตัวเลขสุ่มวงจรแบบ Leap-forward LFSR (Linear Feedback Shift Register) ซึ่งโครงสร้างขนาดเล็กแต่ให้ความเร็วสูงและมีค่าความสัมพันธ์ (Correlation) น้อย
- ชุดกำเนิดตัวเลขสุ่มขนาด 15 และ 11 บิต ให้ค่าการกระจายตัวของตัวแปรเกาส์เซียนสูงสุด 4.5σ และค่าเอาต์พุตที่ไม่ซ้ำกัน 2^{26} samples

การประมาณค่าฟังก์ชัน *f(u1)* แบบ non-uniform quantification of segment

$$f(u1) = \sqrt{-\ln(u1)}$$

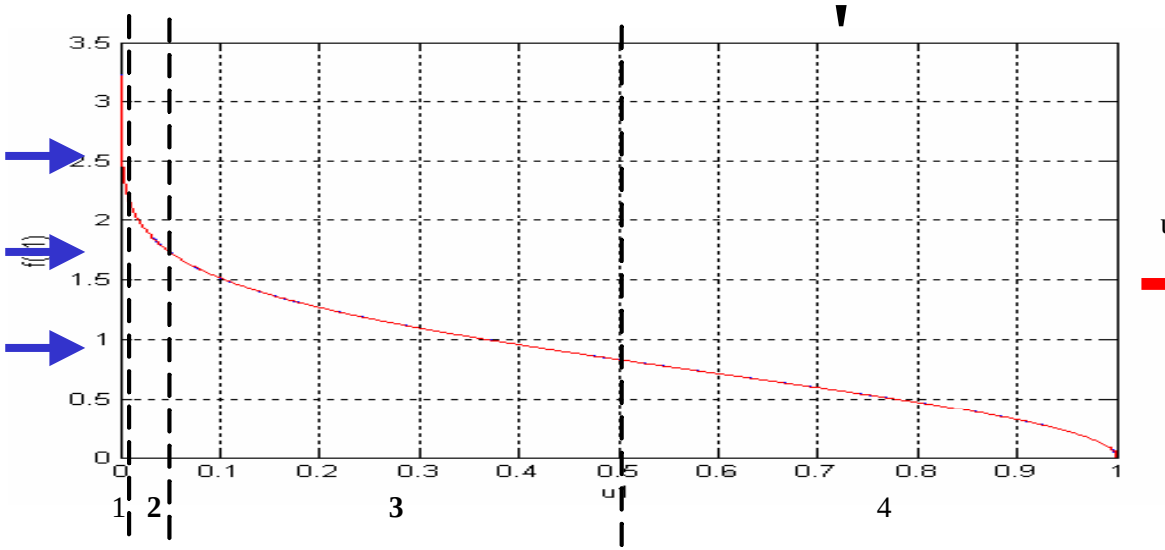


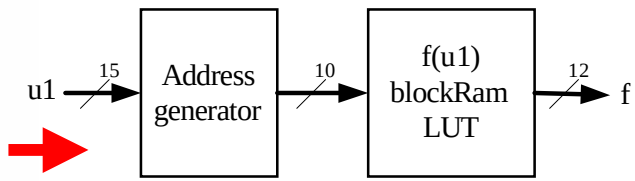
non-uniform quantification of segment*

* A. Ghazel et al., "Design and performance analysis of a high speed AWGN communication channel emulator", Proc. IEEE Paci.c Rim Conf.on Commun. Comput. and Sig. Proc.,, 2001.

NAC2005
NSTDA Annual Conference
S&T in Thailand : Towards the Molecular Economy

การประมาณค่าล็อกการิทึมลิเนียร์ *f(u1)* แบบแบ่งออกสี่





- การประมาณค่า f(u1) แบบวิธีเปิดตารางทำได้ง่ายและมีความเร็วสูง แต่ใช้หน่วยความจำจำนวนมาก เช่น วิธีเปิดตารางใช้อินพุตจำนวน 15 บิต จะต้องการหน่วยความจำ 32 บล็อกแรม (1024x16 บิต)
- การประมาณค่าฟังก์ชัน f(u1) แบ่งออกเป็นแบบลิเนียร์สี่ส่วนในด้านค่า f(u1) ใช้หน่วยความจำ 256 แอ็ดเดรส (หนึ่งบล็อกแรม)
- เหมาะสมติดตั้งกับ FPGA

การคูณและการปรับเปลี่ยนค่า Eb/No

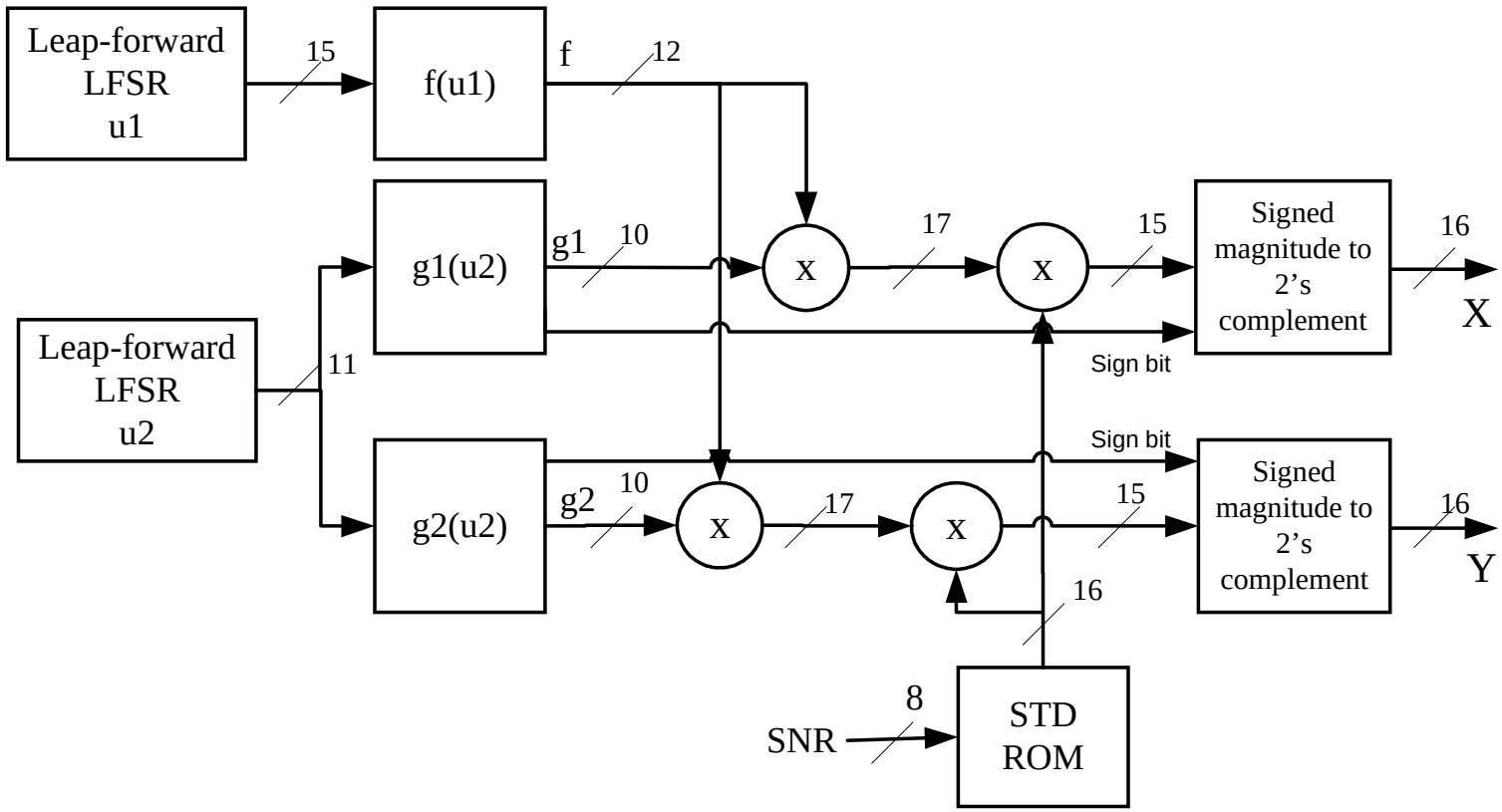
- วงจรคูณตัวเลขแบบ unsigned magnitude fractional สามารถแยกบิตเครื่องหมายออก วงจรคูณจึงซับซ้อนน้อย
- การปรับเปลี่ยนค่า Eb/No โดยการเปลี่ยนแปลง **σ** (Standard deviation: STD) โดยจะเลือกค่าจากรอม (STD ROM) แสดงดัง

$$\frac{E_s}{N_0} = \frac{1}{2\sigma^2} \rightarrow \sigma = \sqrt{\frac{1}{2(Es/No)}} \rightarrow \frac{E_s}{N_0} = \frac{nEb}{No}$$

เอาต์พุต X และ Y จะแปลงเป็นตัวเลขแบบ signed magnitude fractional ให้เป็นแบบ 2's complement ทำให้สะดวกในการอินเตอร์เฟสกับโมดูลอื่นๆ

NAC2005
NSTDA Annual Conference
S&T in Thailand : Towards the Molecular Economy

ไดอะแกรมชุดกำเนิดสัญญาณรบกวนเกาส์เซียน



NAC2005
NSTDA Annual Conference
S&T in Thailand : Towards the Molecular Economy

4. ผลการออกแบบและทดสอบ

ชุดกำเนิดสัญญาณรบกวนนี้ทดสอบทางสถิติโดย

1. Mean, Standard deviation

2. Relative error ($\xi X(x)$)

$$\xi X(x) = \frac{X(x) - N(0,1)(x)}{N(0,1)(x)}$$

โดย *X(x)* คือค่า PDF ที่ทดสอบและ *N(x)* คือค่า PDF ที่คำนวณได้ทางทฤษฎี

3. Chi-square (χ^2)

$$\chi^2 = \sum_{i=1}^{k} \frac{(Y_i - tp_i)^2}{tp_i}$$

โดย *Y(x)* คือค่า PDF ที่ทดสอบและ *tp(x)* คือค่า PDF ที่คำนวณทางทฤษฎี

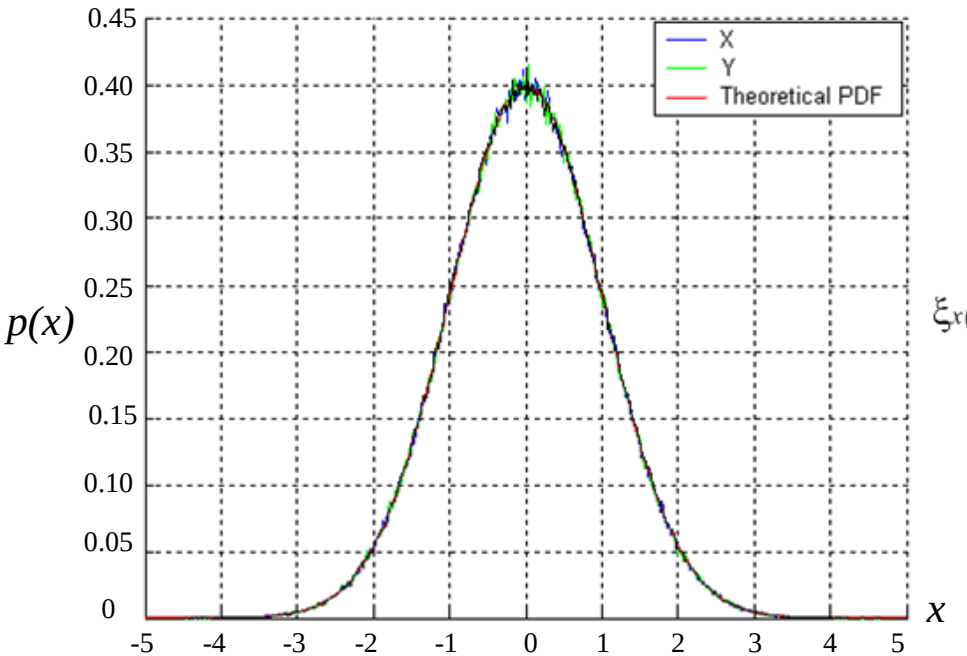
ฮิสโตรแกรมของ X และ Y

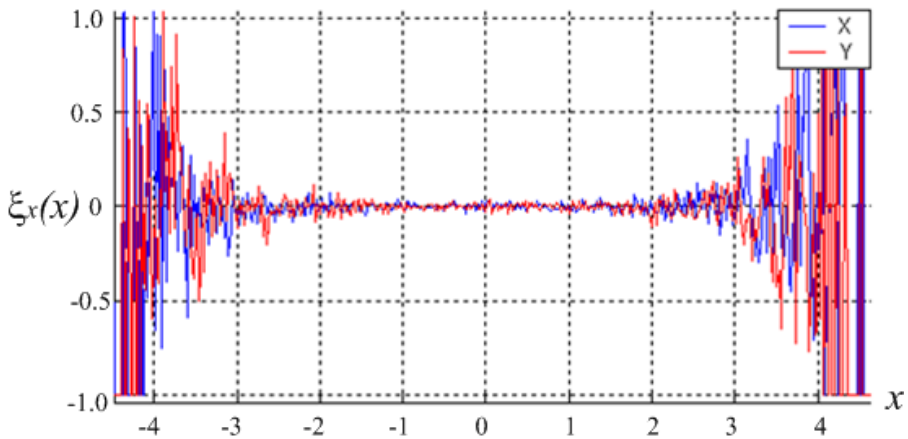
X **Y**

ทดสอบที่จำนวน 10^6 samples ระยะ s จาก [-5,5] step 0.01

NAC2005
NSTDA Annual Conference
S&T in Thailand : Towards the Molecular Economy

ค่า PDF และ Relative error





ทดสอบที่จำนวน 10^6 samples ระยะ s จาก [-5,5] step 0.01

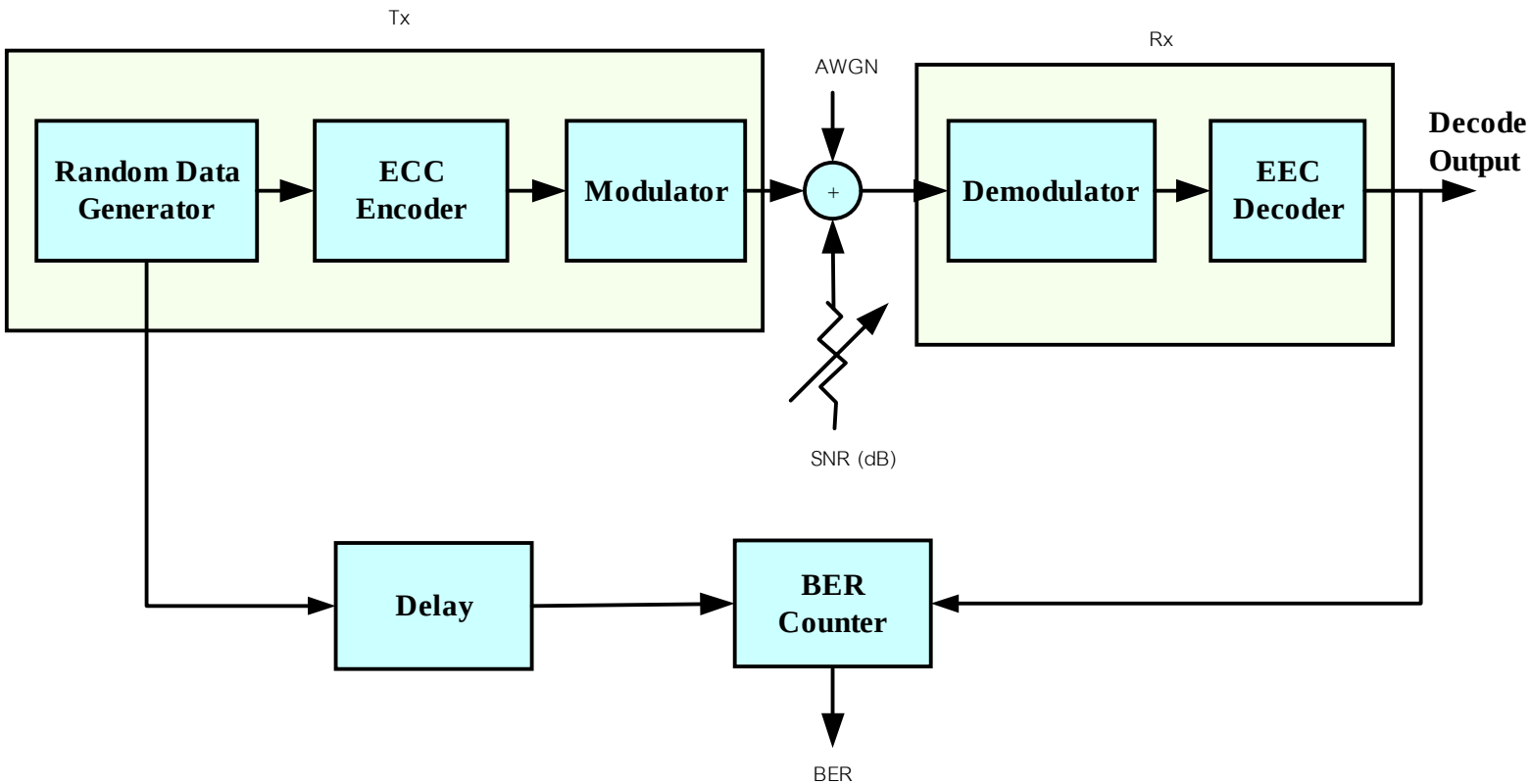
NAC2005
NSTDA Annual Conference
S&T in Thailand : Towards the Molecular Economy

การเปรียบเทียบกับชุดทดสอบนี้และอื่นๆ ใน FPGA xc2v1000-6

รายละเอียด	งานวิจัยนี้ (10^6)		ซอฟต์แวร์ (10^6)	[*] ($4x10^6$)	Xilinx
	X	Y			
Mean	0.0001	0.0004	0.0018	-	-
STD	0.9988	0.9985	1.0001	-	-
Chi-square	0.0274	0.0314	0.0237	0.3842	-
Area	171		-	2,514	480
Block RAM	4		-	2	5
Multiplier	4		-	8	5
Output rate (Msamples/s)	243		-	133	245

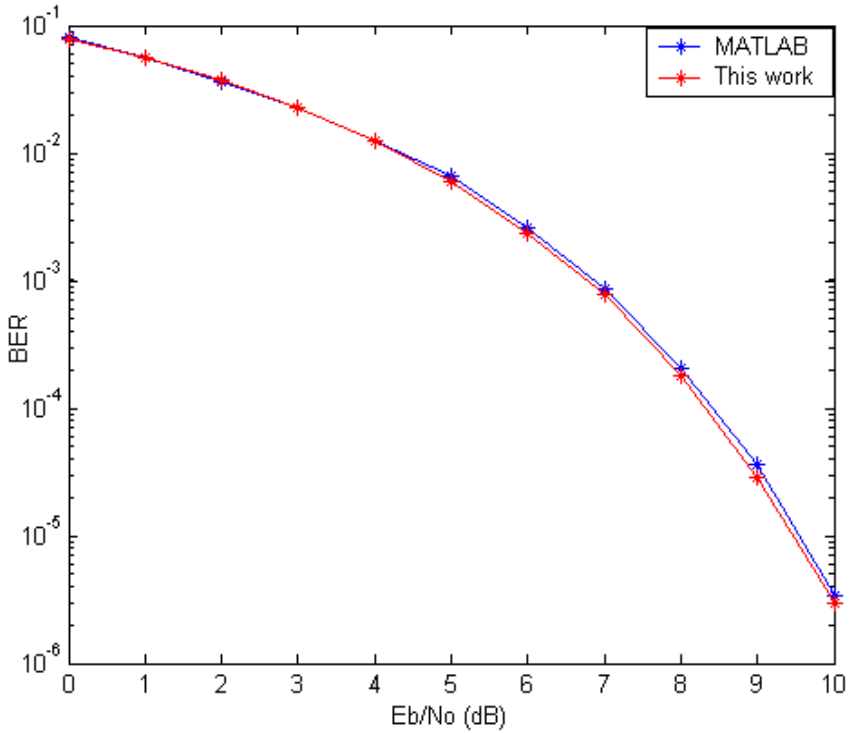
* D. Lee, W. Luk, J.D. Villasenor and P.Y.K. Cheung, “A hardware Gaussian noise generator for hardware-based simulations”, to appear in IEEE Transactions on Computers, 2004

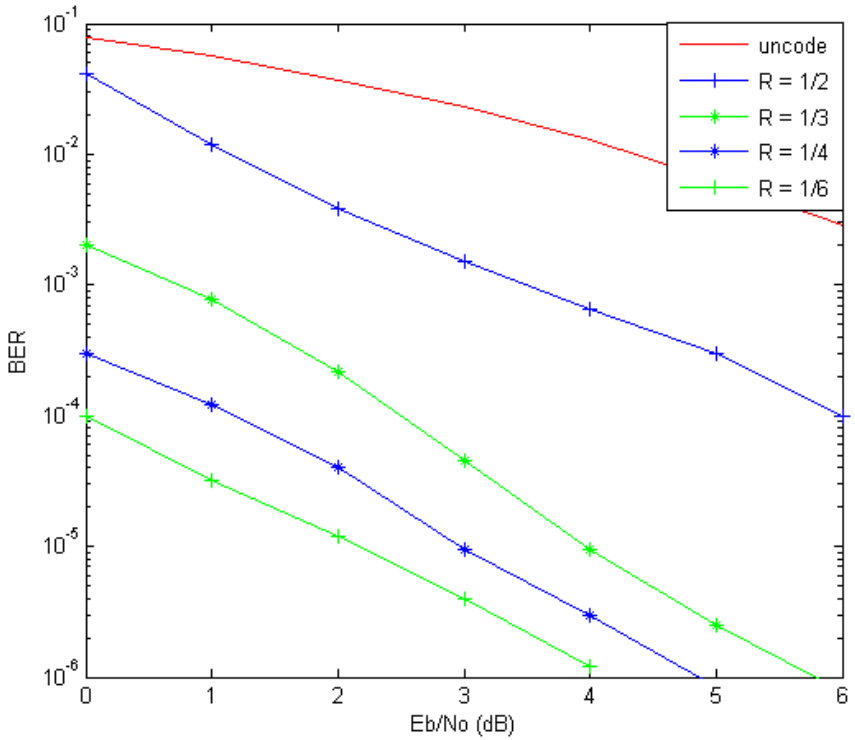
ไดอะแกรมการทดสอบการทดสอบหาค่า BER



NAC2005
NSTDA Annual Conference
S&T in Thailand : Towards the Molecular Economy

ผลการทดสอบหาค่า BER





uncode

Convolution with Viterbi decoder $K = 9$

NAC2005
NSTDA Annual Conference
S&T in Thailand : Towards the Molecular Economy

5. สรุป

การสร้างสัญญาณรบกวนแบบเกาส์นี้มีโครงสร้างขนาดเล็กและให้ความเร็วสูง เนื่องจาก

- ใช้ชุดกำเนิดตัวเลขสุ่มวงจรแบบ Leap-forward LFSR
- ใช้วิธีการประมาณค่าฟังก์ชั่นค่า *f(u1)* แบบลิเนียร์แบบแบ่งออกสี่ส่วน
- ใช้วงจรคูณตัวเลขแบบ unsigned magnitude fractional

ดังนั้นชุดสร้างรบกวนนี้จึงสามารถใช้ทดสอบอุปกรณ์ระบบ สื่อสารดิจิตอลที่มีความเร็วสูง และระบบอื่นๆ ที่เกี่ยวข้องได้อย่างมีประสิทธิภาพ