

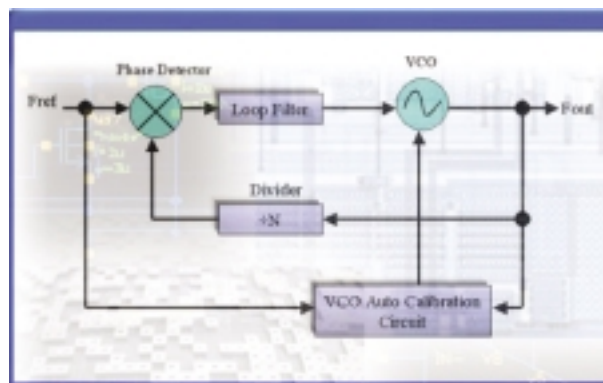
APLL

(Analog Phase Locked Loop)

หลักการ

ระบบสื่อสารปัจจุบันต้องการวงจรสังเคราะห์ความถี่สูงในระดับเหนือกว่าจิก้าเฮิรตซ์ เพื่อให้การรับส่งสามารถทำได้รวดเร็วและราคาถูก ระบบรับส่งนิยมใช้เทคนิคเฟสล็อกกลูป (Phase Locked Loop) ในการสังเคราะห์ความถี่ เป็นพื้นฐานเนื่องจากการออกแบบที่สามารถสร้างเป็นวงจรรวมได้ กินกำลังงานต่ำ และสามารถทำงานได้ในย่านความถี่สูง

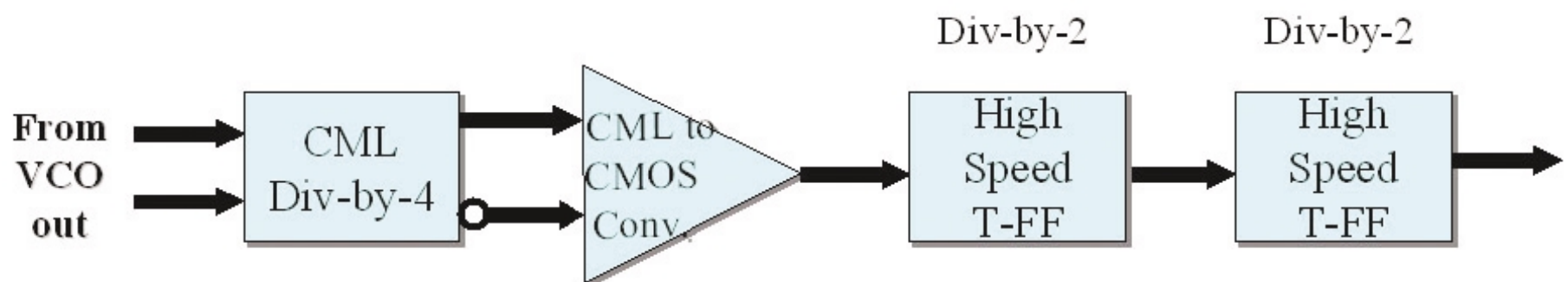
การออกแบบแอนะล็อกเฟสล็อกกลูป (APLL) โดยใช้เทคโนโลยี CMOS มีจุดเด่นที่สามารถช่วยให้การรวมระบบให้เล็กลงได้เพื่อนำไปประกอบกับวงจรสื่อสารที่เป็นเชิงระบบสมบูรณ์ ในการออกแบบ APLL ด้วยเทคโนโลยี CMOS 0.35 ไมครอน จำเป็นต้องมีเทคนิคการบัสความถี่ด้วยวิธี Inductive Loading เพื่อให้วงจรกำเนิดความถี่ (VCO) สามารถทำงานได้สูงเกินระดับ 2.5 GHz การทำงานของ CMOS Ring Oscillator VCO ระบบ Inductive Loading เป็นการเพิ่มความสามารถทางด้านความถี่ที่สูงแต่ไม่จำเป็นต้องใช้กระแสสูง เทคนิคนี้จึงเหมาะสมสำหรับงานประยุกต์ทางด้านอุปกรณ์โทรศัพท์มือถือและเครื่องรับส่งที่ต้องอาศัยแหล่งจ่ายกำลังต่ำ



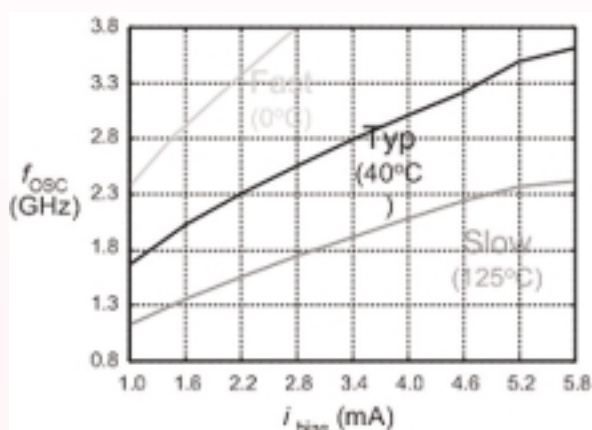
คุณลักษณะของ

CMOS 0.35 (APLL

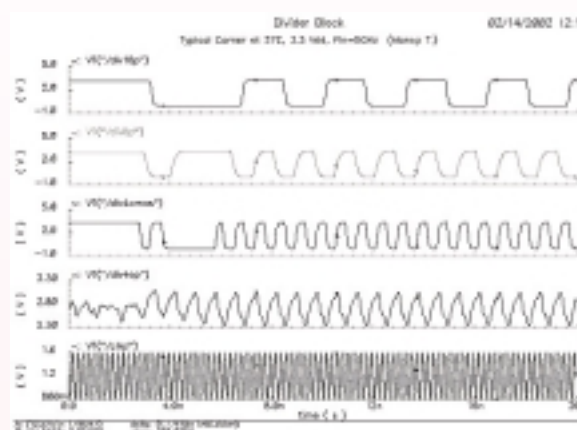
- ใช้เทคนิค Inductive Loading CMOS Ring Oscillator
- เป็นระบบ Charge-pump filter PLL ไม่ต้องใช้ R-C อุปกรณ์ภายนอกกรองความถี่
- ทำงานได้ที่ความถี่สูงกว่า 2.5 GHz
- ใช้ระบบ VCO Auto-calibration ไม่จำเป็นต้องปรับแต่ง VCO ในระหว่างการผลิตและการทำงานมีเสถียรภาพกว่าระบบ APLL ธรรมดา
- กินกำลังงานต่ำกว่า 60 mA ใช้แรงดันไฟเลี้ยง 3.3 V
- เหมาะสำหรับงานสื่อสารไร้สายและการนำไปประยุกต์ใช้งานทางการรับส่งทางใยแก้วนำแสง



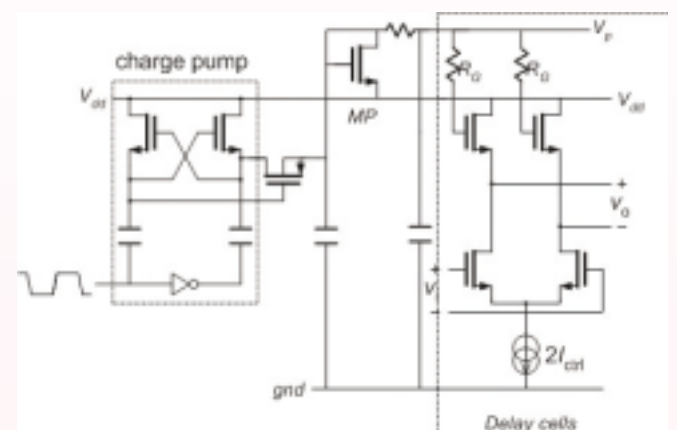
Block diagram of Prescaler and Divider



Generation of bias voltage for the nMOS load and VCO



Simulated frequency tuning characteristics



Divider 16 Simulation at Typical, Fin=5GHz