

กระบวนการถ่ายแบบไอซี ด้วยเครื่อง

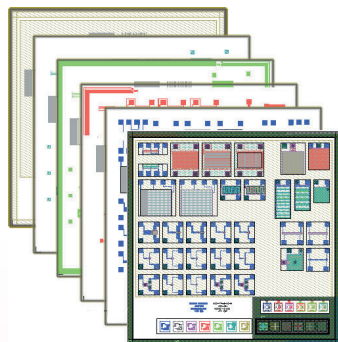
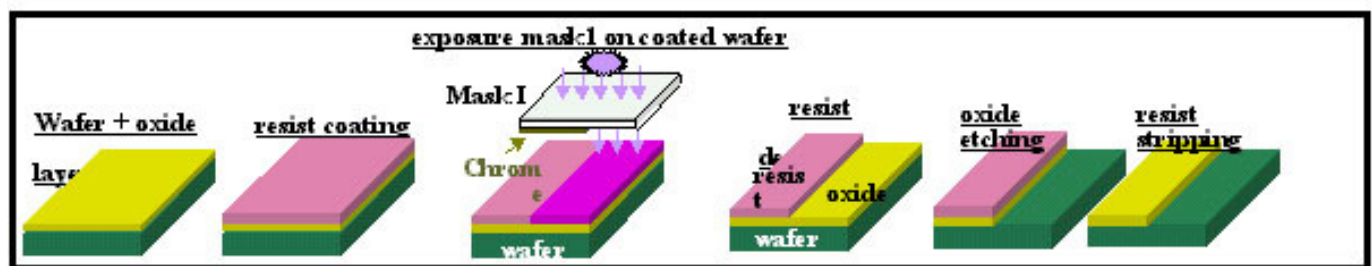
Direct Write Laser Pattern Generator

กระบวนการถ่ายแบบ (Lithography) ในการผลิตวงจรรวม (หรือ ผลิตไอซี) เป็นกระบวนการที่กำหนดลวดลายวงจร ก่อนเข้าสู่กระบวนการกัดสาร (Etching) หรือยิงฝังประจุ

หลักการ/ความเป็นมา

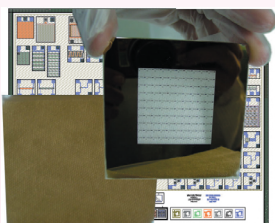
หลักการ ฉายแสงจากเครื่องกำเนิดแสง ผ่านแผ่นต้นแบบ (Mask) ลงบนแผ่นเวเฟอร์เคลือบน้ำยาไวแสง (Resist) แล้วนำเวเฟอร์ไปล้างด้วย Developer ฟลิทไวแสงเฉพาะส่วนที่โดนแสงจะหลุดออก ทำให้เวเฟอร์บางบริเวณมีฟิล์มติด บางบริเวณไม่มีฟิล์มติด ส่วนที่มี / ไม่มี ฟิล์มติด นี้คือลวดลายชั่วคราวเหนือผิวเวเฟอร์ เมื่อ

เข้ากระบวนการผลิตขั้นถัดไป เช่นการกัดสารบริเวณที่ไม่มีฟิล์มติดจะถูกสารเคมีกัดเนื้อของเวเฟอร์ออก แต่ผิวเวเฟอร์ที่มีฟิล์มปกป้องกันจะคงอยู่ หลังขจัดฟิล์มไวแสงทั้งหมดออก (Stripping) เกิดเป็นลายถาวรบนเวเฟอร์



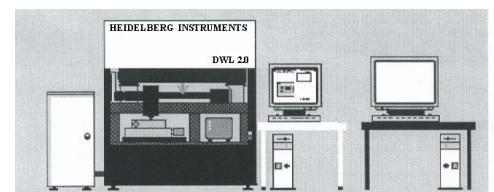
Chip layout ของไอซีที่ออกแบบ เป็น Layer ซ้อนทับกันนำไปแยกสร้างแผ่นต้นแบบ

การสร้างแผ่นต้นแบบ เพื่อกำหนดว่า โคโรมบริเวณใดบนแผ่นต้นแบบ จะถูกกัดออกบริเวณใดคงอยู่ ใช้หลักการของ Lithography (เคลือบฟิล์มไวแสง - ฉายแสง - ล้างฟิล์ม) เช่นกัน ข้อแตกต่างอยู่ตรงที่ การฉายแสงต้องใช้เครื่องจักรที่สามารถเขียนลายวงจรรวมที่ออกแบบลงบนแผ่นต้นแบบที่เคลือบสารไวแสงได้โดยตรง เช่น เครื่อง Direct Write Laser Pattern Generator รุ่น DWL 2.0

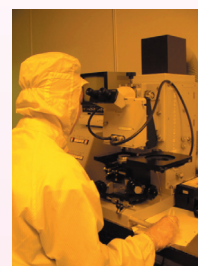


แผ่นต้นแบบ สำหรับชั้นโพลีซิลิกอน ของ MOS 5 ไมครอน จำนวน 100 chips ที่ผลิตในโครงการความร่วมมือ NTT-AT / TMEC-NECTEC/ ERC-KMITL

เครื่อง Direct Write Laser Pattern Generator DWL 2.0



- ส่วน CONVERT ใช้แปลงไฟล์ จาก Layout design
- ส่วน Exposure: กำหนด และเขียนจำนวน/ชนิด chip บนแผ่นต้นแบบ



Mask Aligner ถ่ายแบบจากแผ่นต้นแบบ ลงบน wafer

เครื่อง DWL สามารถถ่ายแบบไอซีลงบนเวเฟอร์เคลือบฟิล์มไวแสงโดยไม่ใช้แผ่นต้นแบบ แต่ใช้เวลาเขียนนาน เพราะ เขียนทีละแนวๆ จนครบชิพ แล้วจึงเริ่มชิพใหม่ ในขณะที่การถ่ายแบบ โดยใช้แผ่นต้นแบบ เช่นเครื่อง Mask aligner สามารถลอกลายจาก Mask หนึ่ง แผ่นที่มีหลายชิพ ลงบนเวเฟอร์ด้วยการฉายแสง เพียงครั้งเดียวจึงมี Throughput สูงกว่าหลายเท่า

บริการ ปัจจุบันเครื่อง DWL 2.0 ของ ศูนย์เทคโนโลยีอิเล็กทรอนิกส์ (TMEC/RDE1) ติดตั้งชั่วคราวอยู่ที่ ศูนย์วิจัยอิเล็กทรอนิกส์ สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ สำหรับสร้างต้นแบบ ในโครงการความร่วมมือ NTT-AT / TMEC-NECTEC/ ERC-KMITL เพื่อพัฒนาเทคโนโลยี

กระบวนการ ผลิตวงจรรวมแบบซีมอส (CMOS Integrated Circuits Fabrication Technology) และสามารถให้บริการสร้างแผ่นต้นแบบวงจรรวม หรือถ่ายแบบลงบนแผ่นเวเฟอร์ ได้ที่ระดับเทคโนโลยี 5 ไมครอน (รายละเอียด <http://tmecc.nectec.or.th>)