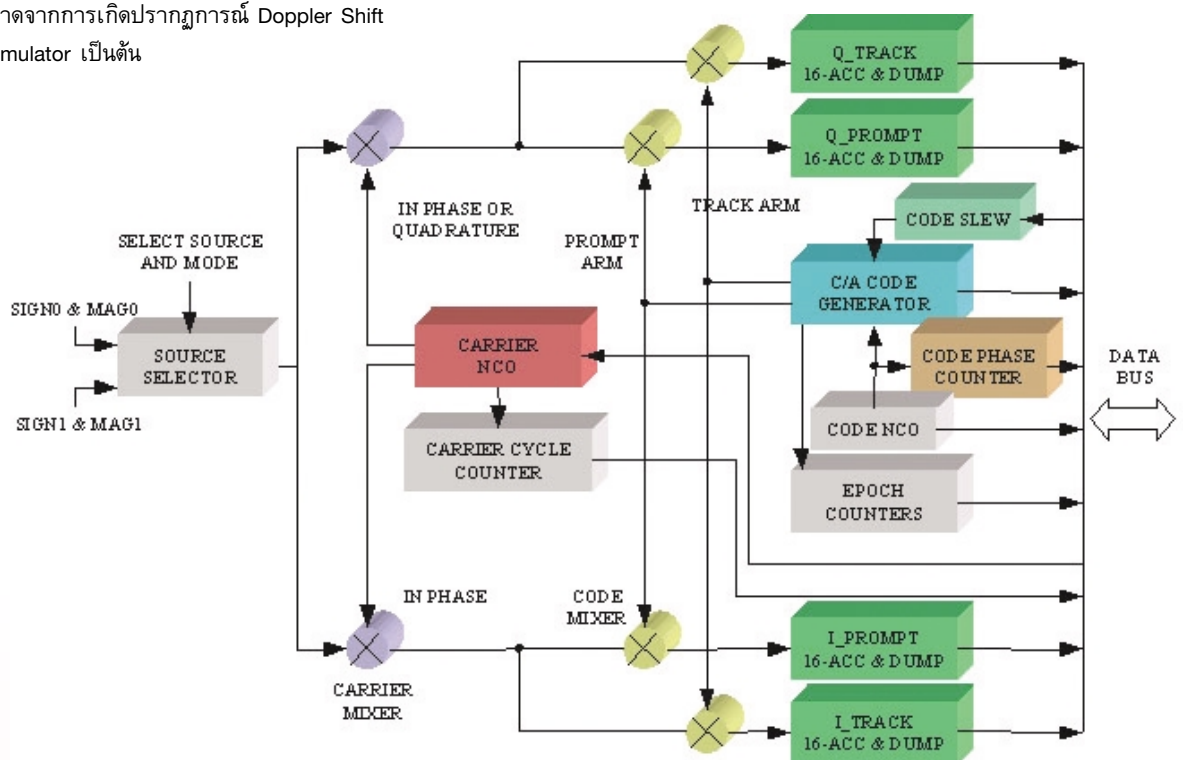


Digital Correlator IP core

หลักการ

Digital Correlator เป็น Intellectual Property (IP) core ที่พัฒนาขึ้นจากภาษา VHDL ซึ่งทำหน้าที่ตามรอย (Tracking) สัญญาณจีพีเอสในดาวเทียมแต่ละดวง โดยภายใน IP Core ประกอบไปด้วยวงจรหลักๆ ดังนี้ Code Generator ทำหน้าที่สร้างสัญญาณ C/A-code (Coarse/Acquisition) ของดาวเทียมแต่ละดวง, Code NCO (Numerical Control Oscillator) ทำหน้าที่สร้างสัญญาณควบคุมในการสร้าง C/A Code ของ Code Generator, Carrier NCO ที่ทำหน้าที่สร้างสัญญาณ SIN และ COS เพื่อใช้ในการปรับค่าที่ผิดพลาดจากการเกิดปรากฏการณ์ Doppler Shift เกิดขึ้น Mixer และ Accumulator เป็นต้น



โครงสร้างของผังวงจร Digital Correlator core

Reference

ชรัตน์ มีนกาญจน์ และ ชำนาญ ปัญญาใส

"ระบบนำร่องด้วยดาวเทียม และวิธีการประยุกต์ใช้"

การประชุมวิชาการประจำปี 2543 ของศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ
วันที่ 24-25 มิถุนายน 2543 ณ ศูนย์ประชุมสหประชาชาติ ถนนราชดำเนิน กรุงเทพฯ

สุธา อากานพวงศ์, วัชรกร หนูทอง, เจนวิทย์ ศรีหรรักษ์, ชรัตน์ มีนกาญจน์, จันทิรา เจือไธวัน,
สุวิชา จิรายุเจริญศักดิ์, ชำนาญ ปัญญาใส และ สวัสดิ์ ดันดีพันธุวิดี

"การออกแบบและพัฒนา GPS chip ด้วยภาษา VHDL"

การประชุมวิชาการประจำปี 2543 ของศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ
วันที่ 24-25 มิถุนายน 2543 ณ ศูนย์ประชุมสหประชาชาติ ถนนราชดำเนิน กรุงเทพฯ

สุธา อากานพวงศ์, วัชรกร หนูทอง, เจนวิทย์ ศรีหรรักษ์, ชรัตน์ มีนกาญจน์, จันทิรา เจือไธวัน,
สุวิชา จิรายุเจริญศักดิ์, ชำนาญ ปัญญาใส และ สวัสดิ์ ดันดีพันธุวิดี

"การออกแบบชิพจีพีเอสขนาด 12 ช่องสัญญาณโดยใช้เอชทีจีเอ"

การประชุมวิชาการวิศวกรรมไฟฟ้า ครั้งที่ 23 วันที่ 23-24 พฤศจิกายน 2543
ณ มหาวิทยาลัยเชียงใหม่

Specifications

- Portable VHDL-based IP core
- 2-bit sign and magnitude signal input
- Memory control logic for ARM60 microprocessor
- Individual tracking-module activation and control
- Use in NAVSTAR GPS satellite navigation receivers