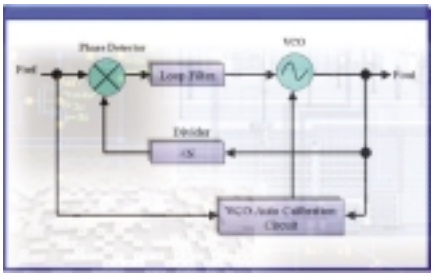
APLL

(Analog Phase Locked Loop)

หลักการ

ระบบสื่อสารปัจจุบันต้องการวงจรสังเคราะห์ความถี่สูงในระดับเหนือกว่าจิกาเฮิรตซ์ เพื่อให้การรับส่งสามารถทำได้รวดเร็วและราคาถูก ระบบรับส่งนิยมใช้เทคนิคเฟสล็อกลูป (Phase Locked Loop: PLL) ในการสังเคราะห์ความถี่เป็นพื้นฐาน เนื่องจากการออกแบบที่สามารถสร้างเป็นวงจรรวมได้ กินกำลังงานต่ำ และสามารถทำงานได้ในย่านความถี่สูง

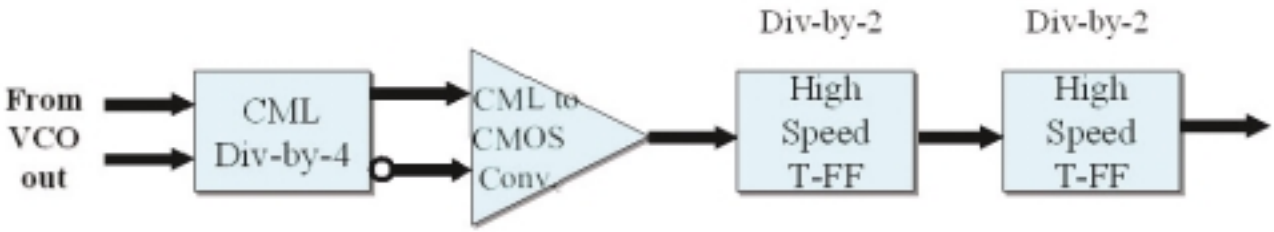
การออกแบบแอนะล็อกเฟสล็อกลูป (APLL) โดยใช้เทคโนโลยี CMOS มีจุดเด่นที่สามารถช่วยให้การรวมระบบให้เล็กลงได้ เพื่อนำไปประกอบกับวงจรสื่อสารที่เป็นเชิงระบบสมบูรณ์ ในการออกแบบ APLL ด้วยเทคโนโลยี CMOS 0.35 ไมครอน จำเป็นต้องมีเทคนิคการบูตความถี่ด้วยวิธี Inductive Loading เพื่อให้วงจรกำเนิดความถี่ (VCO) สามารถทำงานได้สูงเกินระดับ 2.5 GHz การทำงานของ CMOS Ring Oscillator VCO ระบบ Inductive Loading เป็นการเพิ่มความสามารถทางด้านความถี่ที่สูงแต่ไม่จำเป็นต้องใช้กระแสสูง เทคนิคนี้จึงเหมาะสมสำหรับงานประยุกต์ทางด้านอุปกรณ์โทรศัพท์มือถือและเครื่องรับส่งที่ต้องอาศัยแหล่งจ่ายกำลังต่ำ



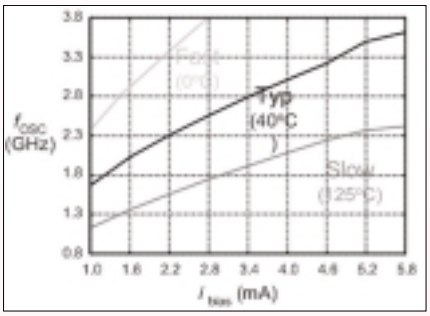
คุณลักษณะของ

CMOS 0.35 µ APLL

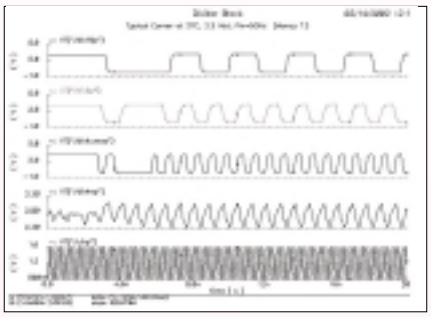
- ใช้เทคนิค Inductive Loading CMOS Ring Oscillator
- เป็นระบบ Charge-pump filter PLL ไม่ต้องใช้ R-C อุปกรณ์ภายนอกกรองความถี่
- ทำงานได้ที่ความถี่สูงกว่า 2.5 GHz
- ใช้ระบบ VCO Auto-calibration ไม่จำเป็นต้องปรับแต่ง VCO ในระหว่างการผลิตและการทำงานมีเสถียรภาพกว่าระบบ APLL ธรรมดา
- กินกำลังงานต่ำกว่า 60 mA ใช้แรงดันไฟเลี้ยง 3.3 V
- เหมาะสำหรับงานสื่อสารไร้สารและการนำไปประยุกต์ใช้งานทางการรับส่งทางใยแก้วนำแสง



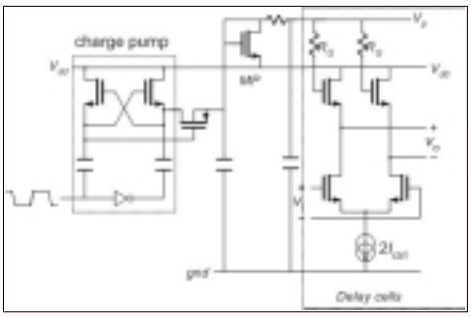
Block Diagram of Prescaler and Divider



Generation of Bias Voltage for the nMOS Load and VCO



Simulated Frequency Tuning Characteristics



Divider 16 Simulation at Typical, Fin=5GHz

อภิธานศัพท์

- VCO

ลงวันที่ พ.ศ. 2545 โดย ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ
ห้ามคัดลอก หรือนำไปผลิตซ้ำ โดยไม่ได้รับอนุญาตเป็นลายลักษณ์อักษร

ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ
สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ
112 ถนนพหลโยธิน คลองหลวง จังหวัดปทุมธานี 12120
โทรศัพท์ 0-2564-6900 โทรสาร 0-2564-6901..3
http://www.nectec.or.th/ e-mail: info@nectec.or.th

BE212-45
18 กรกฎาคม 2545